

CITED BY APPLICANT
Patent Abstracts of Japan

PUBLICATION NUMBER : 08007468
PUBLICATION DATE : 12-01-96

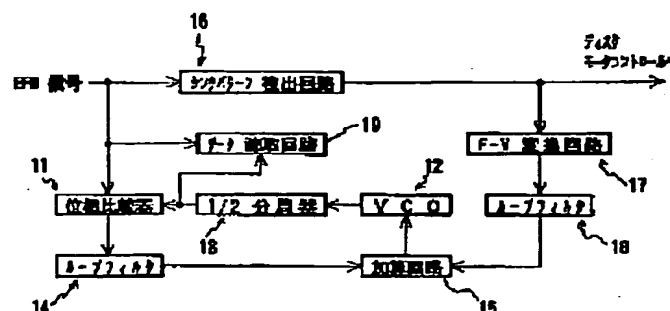
APPLICATION DATE : 24-06-94
APPLICATION NUMBER : 06143630

APPLICANT : TOSHIBA AVE CORP;

INVENTOR : TAKANO KUNIYOSHI;

INT.CL. : G11B 19/247 G11B 19/28 G11B 20/14

TITLE : OPTICAL DISK REPRODUCING
DEVICE



ABSTRACT : PURPOSE: To properly reproduce a disk even though a reproduced linear speed is greatly deviated from a normal speed as in the case of right after a track search by generating an optimum VCO frequency, which makes the device to follow the change in a reproducing speed, as a data reading clock.

CONSTITUTION: The device is provided with a synchronization pattern detecting circuit 16 which detects a synchronization pattern from EFM signals, an F-V converting circuit 17 which converts the period of synchronization pattern detection pulses to a voltage and an adding circuit 15 which adds the voltage obtained by the circuit 17 and the phase difference voltage obtained by a phase comparator 11 and applies the voltage to a VCO circuit 12 as a control voltage. The oscillating frequency of the circuit 12 varies from the condition, in which the oscillation frequency is synchronized with a reproducing speed, to the condition in which the oscillation frequency is increased in proportion with the reproducing speed, i.e., in proportion with the output voltage of the circuit 17. Thus, an optimum data reading clock is generated while following a reproducing speed.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-7468

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 19/247	R	7525-5D		
19/28	B	7525-5D		
20/14	3 4 1 B	9463-5D		

審査請求 未請求 請求項の数6 OL (全9頁)

(21) 出願番号 特願平6-143630

(22) 出願日 平成6年(1994)6月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 河本 浩太郎

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

(72) 発明者 小島 宏

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

(74) 代理人 弁理士 須山 佐一

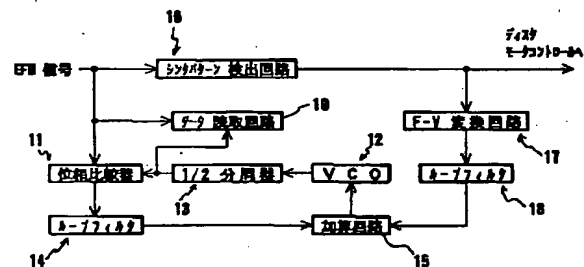
最終頁に続く

(54) 【発明の名称】 光ディスク再生装置

(57) 【要約】

【目的】 再生速度の変化に追従して最適なVCO周波数をデータ読取用クロックとして生成し、トラックサーチ直後のように再生線速度が規定の速度から大きく外れている時でも良好にディスク再生を行えるようにする。

【構成】 EFM信号からシンクパターンを検出するシンクパターン検出回路16と、シンクパターン検出パルスの周期を電圧に変換するF-V変換回路17と、F-V変換回路17で得た電圧と位相比較器11で得た位相差電圧とを加算してVCO回路12に制御電圧として印加する加算回路15とを有する。VCO回路12の発振周波数はこれが再生速度に同期している状態から、F-V変換回路17の出力電圧つまり再生速度に比例して高くなるので、再生速度に追従して最適なデータ読取用クロックを生成できることになる。



1

【特許請求の範囲】

【請求項1】 印加された制御電圧に基づき発振周波数を制御可能な電圧制御発振手段と、ディスクから読み出されたEFM信号と前記電圧制御発振手段の出力信号との位相を比較して、その位相差に応じた電圧を発生する位相比較手段と、前記EFM信号から同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された同期パターンの周期を電圧に変換する変換手段と、前記位相比較手段の出力電圧と前記変換手段の出力電圧とを加算して、前記電圧制御発振手段に制御電圧として加える加算手段とを具備することを特徴とする光ディスク再生装置。

【請求項2】 印加された制御電圧に基づき発振周波数を制御可能な電圧制御発振手段と、ディスクから読み出されたEFM信号と前記電圧制御発振手段の出力信号との位相を比較して、その位相差に応じた電圧を発生する位相比較手段と、前記EFM信号から同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された同期パターンの周期を電圧に変換する第1の変換手段と、前記電圧制御発振手段の発振周波数を、これが再生速度に同期している時に前記同期パターンと周期が一致するような分周比で分周する分周手段と、前記分周手段の出力周波数を電圧に変換する第2の変換手段と、前記第1の変換手段の出力電圧と前記第2の変換手段の出力電圧との差を増幅する差動増幅手段と、前記位相比較手段の出力電圧と前記差動増幅手段の出力電圧とを加算して、前記電圧制御発振手段に制御電圧として加える加算手段とを具備することを特徴とする光ディスク再生装置。

【請求項3】 印加された制御電圧に基づき発振周波数を制御可能な電圧制御発振手段と、ディスクから読み出されたEFM信号と前記電圧制御発振手段の出力信号との位相を比較して、その位相差に応じた電圧を発生する位相比較手段と、前記EFM信号から同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された同期パターンの周期を電圧に変換する第1の変換手段と、前記電圧制御発振手段の発振周波数を、これが再生速度に同期している時に前記同期パターンと周期が一致するような分周比で分周する分周手段と、前記分周手段の出力周波数を電圧に変換する第2の変換手段と、前記第1の変換手段の出力電圧と前記第2の変換手段の出力電圧との差を増幅する差動増幅手段と、

2

前記位相比較手段の出力電圧、前記第1の変換手段の出力電圧、および前記差動増幅手段の出力電圧をそれぞれ加算して、前記電圧制御発振手段に制御電圧として加える加算手段とを具備することを特徴とする光ディスク再生装置。

【請求項4】 請求項1記載の光ディスク再生装置において、前記ディスクから読み出されたEFM信号の論理レベルが所定の時間以上固定されたことを検出する検出手段と、前記検出手段によって前記EFM信号の論理レベルが所定の時間以上固定されたことが検出された時、その直前の前記変換手段の出力電圧を保持して前記加算手段に出力する保持手段とをさらに具備することを特徴とする光ディスク再生装置。

【請求項5】 請求項2記載の光ディスク再生装置において、前記ディスクから読み出されたEFM信号の論理レベルが所定の時間以上固定されたことを検出する検出手段と、前記検出手段によって前記EFM信号の論理レベルが所定の時間以上固定されたことが検出された時、その直前の前記第1の変換手段の出力電圧を保持して前記差動増幅手段に出力する保持手段とをさらに具備することを特徴とする光ディスク再生装置。

【請求項6】 請求項3記載の光ディスク再生装置において、前記ディスクから読み出されたEFM信号の論理レベルが所定の時間以上固定されたことを検出する検出手段と、前記検出手段によって前記EFM信号の論理レベルが所定の時間以上固定されたことが検出された時、その直前の前記第1の変換手段の出力電圧を保持して前記差動増幅手段および前記加算手段にそれぞれ出力する保持手段とをさらに具備することを特徴とする光ディスク再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばCD-ROMのような光ディスクを再生する光ディスク再生装置に関する。

【0002】

【従来の技術】 コンパクトディスク（CD）およびCD-ROM等の光ディスクの再生は、CLV方式つまり線速度一定で行われる。したがって、再生するトラック位置に応じて、再生線速度が規定範囲内に収まるようにディスクの回転速度を制御する必要がある。この制御は、EFM信号に含まれている再生同期用のシンクパターンを検出し、このシンクパターンが一定の周期で現れるようにディスクモータの回転数を制御することによって行

われる。

【0003】一方、このような光ディスク再生装置では、EFM信号の周波数成分からPLL回路を用いてデータ読取用クロックを生成している。図10はこのPLL回路の構成を示す図である。同図において、1は位相比較器であり、光ピックアップ等を通じてディスクから読み取ったEFM信号と、VCO回路2の発振周波数を1/2分周器3にて1/2の比で分周した信号との位相を比較してその位相差信号を出力する。位相差信号はループフィルタ4を通じて高周波成分が除去された後、VCO回路2に制御電圧として印加され、この制御電圧によってVCO回路2の発振周波数が制御される。VCO回路2の発振周波数は1/2分周器3にて分周され、データ読取回路6にデータ読取用クロックとして供給されると共に位相比較器1に、EFM信号との位相比較基準信号として出力される。

【0004】このPLL回路におけるVCO回路2の発振周波数は、位相比較器1が持つ動作特性上の理由等から、図11に示すように、規定の再生速度に対するセンター値から大きく離れた値をとることができない。なお、図において、斜線部分がこのVCO回路2の発振周波数の範囲である。したがって、ディスク情報の読み取りが可能なディスク再生速度の範囲は、規定の再生速度付近のごく狭い範囲に限られたものとなる。

【0005】このため、トラックサーチ直後、速やかにディスク再生を開始するためには、制御応答時間の短いディスクモータを用いて再生線速度を規定範囲内に短時間に収めることが不可欠となる。したがって、モータ制御システムとして大型かつ高価なものが要求される。

【0006】

【発明が解決しようとする課題】このように、従来の光ディスク再生装置では、ディスク情報の読み取りが可能な再生速度の範囲が規定の再生速度付近の狭い範囲に限られていることから、トラックサーチ直後にディスク再生を開始するためには制御応答性に優れた強力なディスクモータを用いざるを得ない。したがって、大型かつ高価なモータ制御システムが必要になるという問題があった。

【0007】本発明はこのような課題を解決するためのものであり、トラックサーチ直後のように再生線速度が規定の速度から大きく外れている時でも、良好にディスク再生を行うことのできる光ディスク再生装置の提供を目的としている。

【0008】

【課題を解決するための手段】第1の発明は上記した目的を達成するために、印加された制御電圧に基づき発振周波数を制御可能な電圧制御発振手段と、ディスクから読み出されたEFM信号と前記電圧制御発振手段の出力信号との位相を比較して、その位相差に応じた電圧を発生する位相比較手段と、前記EFM信号から同期パター

ンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された同期パターンの周期を電圧に変換する変換手段と、前記位相比較手段の出力電圧と前記変換手段の出力電圧とを加算して、前記電圧制御発振手段に制御電圧として加える加算手段とを具備してなるものである。

【0009】また第2の発明は、印加された制御電圧に基づき発振周波数を制御可能な電圧制御発振手段と、ディスクから読み出されたEFM信号と前記電圧制御発振手段の出力信号との位相を比較して、その位相差に応じた電圧を発生する位相比較手段と、前記EFM信号から同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された同期パターンの周期を電圧に変換する第1の変換手段と、前記電圧制御発振手段の発振周波数を、これが再生速度に同期している時に前記同期パターンと周期が一致するような分周比で分周する分周手段と、前記分周手段の出力周波数を電圧に変換する第2の変換手段と、前記第1の変換手段の出力電圧と前記第2の変換手段の出力電圧との差を増幅する差動増幅手段と、前記位相比較手段の出力電圧と前記差動増幅手段の出力電圧とを加算して、前記電圧制御発振手段に制御電圧として加える加算手段とを具備してなるものである。

【0010】さらに第3の発明は、印加された制御電圧に基づき発振周波数を制御可能な電圧制御発振手段と、ディスクから読み出されたEFM信号と前記電圧制御発振手段の出力信号との位相を比較して、その位相差に応じた電圧を発生する位相比較手段と、前記EFM信号から同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された同期パターンの周期を電圧に変換する第1の変換手段と、前記電圧制御発振手段の発振周波数を、これが再生速度に同期している時に前記同期パターンと周期が一致するような分周比で分周する分周手段と、前記分周手段の出力周波数を電圧に変換する第2の変換手段と、前記第1の変換手段の出力電圧と前記第2の変換手段の出力電圧との差を増幅する差動増幅手段と、前記位相比較手段の出力電圧、前記第1の変換手段の出力電圧、および前記差動増幅手段の出力電圧を加算して、前記電圧制御発振手段に制御電圧として加える加算手段とを具備してなるものである。

【0011】

【作用】光ディスクから読み出されたEFM信号には同期パターンが含まれている。この同期パターンは再生線速度に比例して一定周期で発生する。そこで、この同期パターンの発生周期を同期パターン検出手段にて検出し、この同期パターンの周期を電圧に変換することによって、再生線速度に比例した電圧が得られる。

【0012】第1の発明では、この同期パターンの周期に応じた電圧と、位相比較手段より出力される位相差電

5

圧とを加算手段にて加算し、この加算結果を電圧制御発振手段に制御電圧として加える。これにより、電圧制御発振手段の発振周波数は、EFM信号と同期している状態から、同期パターンの周期を電圧に変換した値に比例してつまり再生速度に比例して高くなる。したがって、本発明によれば、再生速度に追従して最適な発振周波数をデータ読取用クロックとして生成することができる。

【0013】また、第2の発明では、電圧制御発振手段の発振周波数を、この発振周波数が再生速度に同期している時に同期パターンと周期が一致するような分周比で分周し、その分周信号の周波数を電圧に変換する。そして差動増幅手段にて、この分周信号の周波数を電圧に変換した値と同期パターンの周期を電圧に変換した値との差を増幅し、その増幅電圧と位相比較手段より出力される位相差電圧とを加算手段にて加算し、この加算結果を電圧制御発振手段に制御電圧として加える。これにより、本発明によれば、電圧制御発振手段の発振周波数と再生速度とのずれを補正するように電圧制御発振手段の発振周波数を制御することができ、再生速度の変化に追従して最適な発振周波数をデータ読取用クロックとして生成することができる。

【0014】さらに第3の発明では、加算手段にて、同期パターンの周期を電圧に変換した値、位相比較手段より出力される位相差電圧、および差動増幅手段の出力電圧を加算して電圧制御発振手段に制御電圧として加えるので、同期パターンの周期に電圧制御発振手段の発振周波数を追従させる作用に、電圧制御発振手段の発振周波数と再生速度とのずれを補正する作用が加わるため、そのいずれか一方で制御する場合に比べより正確な制御を実現することができる。

【0015】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0016】図1は本発明に係る一実施例の光ディスク再生装置において、データ読取用クロックを生成するPLL回路の構成を示す図である。

【0017】同図において、11は位相比較器であり、光ピックアップ等を通じてディスクから読み取ったEFM信号と、VCO回路12の発振周波数を1/2分周器13にて1/2の比で分周した信号との位相を比較してその位相差信号を出力する。この位相差信号はループフィルタ14を通して高周波成分が除去された後、加算回路15に入力される。また16はEFM信号に含まれる再生同期用のシンクパターンを検出するシンクパターン検出回路である。このシンクパターン検出回路16より出力されるシンクパターン検出パルスはF-V（周波数-電圧）変換回路17に入力される。F-V変換回路17は、シンクパターン検出パルスの周期を電圧に変換し、ループフィルタ18を通じて加算回路15に入力する。

6

【0018】図2はF-V変換回路17の構成を示す図、図3はこのF-V変換回路17の動作を説明するための図である。図2に示すように、F-V変換回路17はフリップフロップ21とカウンタ22とから構成される。フリップフロップ21にはシンクパターン検出回路16からのシンクパターン検出パルスがセット信号として供給され、カウンタ22の出力がリセット信号として入力される。カウンタ22はフリップフロップ21がセットされた時点から基準クロックに従ってカウントを開始し、カウント数が所定値に達した時リセット信号をフリップフロップ21に出力する。よって、フリップフロップ21の出力時間（1周期内のパルスオン時間）は一定となる。一方、フリップフロップ21の出力停止時間（1周期内のパルスオフ時間）はパルス入力間隔から前記出力時間を引いた時間となる。したがって、シンクパターンの発生周期が短いほど出力停止時間は短くなり、1周期あたりの平均電圧は高くなる。すなわち、F-V変換回路17の出力電圧はディスクの再生速度に比例して高くなる。

【0019】加算回路15は、このF-V変換回路17の出力電圧と位相比較器11より入力した位相差電圧とを加算してVCO回路12に制御電圧として印加する。VCO回路12の発振周波数は1/2分周器13にて1/2の比で分周された後、データ読取回路19にデータ読取用クロックとして供給されると同時に位相比較器11に入力される。

【0020】VCO回路12の発振周波数は、EFM信号と1/2分周器13の出力周波数（1/2VCO周波数）とが同期した状態つまり再生速度にPLL回路が同期した状態から、F-V変換回路17の出力電圧つまり再生速度に比例して高まる。図4はこのVCO回路12の発振周波数の範囲を示した図である。同図において、個々の斜線部分はそれぞれ、ある固有の再生速度に対するVCO回路12の発振周波数の変化幅を示している。本実施例のPLL回路では、この斜線で示される発振周波数の範囲がAとBによって囲まれた領域内で再生速度に応じてシフトする。

【0021】したがって、このPLL回路によれば、再生速度に追従して最適なデータ読取用クロックを生成することが可能となり、トラックサーチ直後のように、再生線速度が規定の速度に収束するまでの間のディスク再生を良好に行うことができる。よって、ディスクモータの制御応答時間に拘らず、トラックサーチ直後のディスク再生を短時間で開始できる光ディスク再生装置を実現でき、小型で低価格の装置を提供することができる。

【0022】次に本発明の他の実施例を説明する。図5はこの実施例のPLL回路の構成を示す図である。

【0023】同図において、41は位相比較器であり、光ピックアップ等を通じてディスクから読み取ったEFM信号と、VCO回路42の出力を1/2分周器43に

7

て1/2の比で分周した信号との位相を比較してその位相差信号を出力する。この位相差信号はループフィルタ44を通して高周波成分が除去された後、加算回路45に入力される。また46はEFM信号に含まれる再生同期用のシンクパターンを検出するシンクパターン検出回路である。このシンクパターン検出回路46より出力されるシンクパターン検出パルスは第1のF-V変換回路47に入力される。第1のF-V変換回路47は、シンクパターン検出パルスの周期を電圧に変換し差動回路48に入力する。

【0024】また、49は1/588分周器である。この1/588分周器49は1/2分周器43の出力周波数をさらに1/588の比で分周する。1/588分周器49の出力周波数は第2のF-V変換回路50にて電圧に変換された後、差動回路48に加えられる。差動回路48は、図6に示すように、第2のF-V変換回路50の出力電圧VVC0と第1のF-V変換回路47の出力電圧VCYNとの差を増幅し、その増幅信号をループフィルタ51を通じて加算回路45に入力する。

【0025】加算回路45は位相比較器41で得た位相差電圧と差動回路48で得た電圧とを加算して、その加算結果をVCO回路42に制御電圧として印加する。VCO回路42の発振周波数は1/2分周器43にて分周された後、データ読取回路52にデータ読取用クロックとして供給されると同時に位相比較器41および1/588分周器49にそれぞれ入力される。

【0026】図7は差動回路48への入力例を示す図である。図中(A)は1/2分周器43の出力周波数である1/2VCO周波数に対して再生速度が高い時、

(B)は1/2VCO周波数に対して再生速度が同期している時、(C)は1/2VCO周波数に対して再生速度が低い時の各電圧VVC0、VCYNの入力の状態をそれぞれ示している。

【0027】(B)に示すように、1/2VCO周波数に対して再生速度が同期している時、1/588分周器49の出力信号の周期TVC0とシンクパターンの発生周期TCYNとは同じになり、各F-V変換回路47、50の出力電圧VSYN、VVC0の1周期あたりの平均値は同じになる。この場合、差動回路48の出力は基準電圧となり、VCO回路42の発振周波数は変化しない。

【0028】(A)に示すように、1/2VCO周波数に対して再生速度が高い時、1/588分周器49の出力信号の周期TVC0よりもシンクパターンの発生周期TCYNが短くなり、第1のF-V変換回路47の出力電圧VSYNの1周期あたりの平均値が第2のF-V変換回路50の出力電圧VVC0の1周期あたりの平均値よりも高くなる。この結果、差動回路48の出力は基準電圧よりも大となり、VCO回路42の発振周波数は高くなる。

【0029】(C)に示すように、1/2VCO周波数に対して再生速度が低い時、つまり1/588分周器4

8

9の出力信号の周期TVC0よりもシンクパターンの発生周期TCYNが長い時、第1のF-V変換回路47の出力電圧VSYNの1周期あたりの平均値が第2のF-V変換回路50の出力電圧VVC0の1周期あたりの平均値よりも低くなる。この結果、差動回路49の出力は基準電圧よりも小となり、VCO回路42の発振周波数は低くなる。

【0030】VCO回路42の発振周波数は、EFM信号と1/2VCO周波数とが同期した状態つまり再生速度にPLL回路が同期した状態から、差動回路48の出力電圧に比例して高くなる。したがって、このPLL回路によれば、1/2VCO周波数と再生速度とのずれを補正するように、VCO回路42の出力周波数を制御することが可能になる。よって、このPLL回路によっても、先の実施例と同様に、再生速度に追従して最適なデータ読取用クロックを生成することが可能となり、トラックサーチ直後のように、再生線速度が規定の速度に収束するまでの間のディスク再生を良好に行うことができる。

【0031】次に本発明のさらに他の実施例を説明する。図8はこの実施例のPLL回路の構成を示す図である。

【0032】同図において、71は位相比較器であり、光ピックアップ等を通じてディスクから読み取ったEFM信号と、VCO回路72の発振周波数を1/2分周器73にて1/2の比で分周した信号との位相を比較してその位相差信号を出力する。この位相差信号はループフィルタ74を通して高周波成分が除去された後、加算回路75に入力される。また76はEFM信号に含まれる再生同期用のシンクパターンを検出するシンクパターン検出回路である。このシンクパターン検出回路76より出力されるシンクパターン検出パルスは第1のF-V変換回路77に入力される。第1のF-V変換回路77は、シンクパターン検出パルスの周期を電圧に変換し差動回路78に入力すると共に、ループフィルタ79を通じて加算回路75に入力する。

【0033】また、80は1/588分周器である。この1/588分周器80は1/2分周器73の出力周波数をさらに1/588の比で分周する。1/588分周器80の出力周波数は第2のF-V変換回路81にて電圧に変換された後、差動回路78に加えられる。差動回路78は、第2のF-V変換回路80の出力電圧VVC0と第1のF-V変換回路77の出力電圧VCYNとの差を増幅し、ループフィルタ82を通じて加算回路75に入力する。

【0034】加算回路75は位相比較器71で得た位相差電圧、差動回路78で得た電圧、および第1のF-V変換回路77で得た電圧をそれぞれ加算し、その加算結果をVCO回路72に制御電圧として加える。VCO回路72の発振周波数は1/2分周器73にて分周された

9

後、データ読取回路83にデータ読取用クロックとして供給されると同時に位相比較器71および1/588分周器80にそれぞれ入力される。

【0035】このように本実施例のPLL回路は、シンクパターンの発生周期にVCO回路72の発振周波数を追従させると共に、1/2VCO周波数と再生速度とのずれを補正するようにVCO回路72の発振周波数を制御するので、そのいずれか一方で制御する場合に比べ、より正確にVCO回路72の周波数制御を行うことができる。例えば、本実施例のPLL回路の場合、他の実施例のPLL回路に比べ、VCO回路72の入力電圧と発振周波数との直線性が大きくずれた場合にも良好な状態を保つことができる。

【0036】次に、以上の各実施例のPLL回路で用いられるシンクパターン検出回路の詳細について説明する。図9はこのシンクパターン検出回路の構成を示す図である。シンクパターンは、例えば、EFM信号においてHレベルが11クロック分連続したものと、Lレベルが11クロック分連続したものとを組み合わせからなり、計22クロック分のパターン長を有する。したがって、シンクパターンはEFM信号の構成上最長パターンを有するものとなっている。

【0037】このシンクパターンの検出は次のようにして行われる。まず、第1の1/2分周器91にてEFM信号を1/2の比で分周することによってEFM信号の1周期を生成する。同時にEFM信号はインバータ92を通じて第2の1/2分周器93に入力され、同様に1/2の比で分周することによって逆の立ち上がりのEFM信号の1周期を生成する。第1の1/2分周器91の出力は第1のカウンタ94に与えられると共に、インバータ95を介して第2のカウンタ96に与えられる。各カウンタ94、96はそれぞれ、クロックを基準にEFM1周期の時間をカウントし、そのカウント値(クロック数)を第1の比較器97に送る。一方、第2の分周器93の出力に対しても、第3のカウンタ98、インバータ99、第4のカウンタ100および第2の比較器101によって同様の処理が行われる。各比較器97、101はそれぞれ、2つのカウンタから取り込んだ各値のうち大きい方を選択し、その値を第3の比較器102に送る。第3の比較器102は、入力した2つの値のうち大きい方を選択し、その値を第4の比較器103、第5の比較器104および最大値ホールド回路105にそれぞれ送る。この時、最大値ホールド回路105が初期状態であれば、第3の比較器102で得た値がそのまま最大値ホールド回路105にセットされる。また、最大値ホールド回路105に既に前の値が保持されているときは、第4の比較器103にて、新しく入力した値と最大値ホールド回路105に既に保持されている値とを比較し、新しく入力した値の方が大きければ、この値で最大値ホールド回路105の内容を更新する。

10

【0038】そしてこの動作を、シンクパターンの発生周期とほぼ同じ時間間隔で最大値ホールド回路105のリセットを繰り返しながら実行する。したがって、少なくとも最大値ホールド回路105がリセットされる直前の時点においては、最大値ホールド回路105にシンクパターンのクロック数に相当する値が保持されていることになる。

【0039】なお、本実施例では、リセットパルスとしてEFM信号の分周出力を用いている。すなわち、このリセットパルスは、その1周期内に1つのシンクパターンが入るような分周比でEFM信号を分周することによって得られる。

【0040】この分周信号は最大値ホールド回路105にリセットパルスとして供給されるよりも一定時間前にデータホールド回路106にセットパルスとして供給される。すなわち、この分周信号はデータホールド回路106にセットパルスとして入力されると同時に遅延器107に入力され、一定時間遅延して最大値ホールド回路105にリセットパルスとして供給される。したがって、最大値ホールド回路105に保持された値は、この最大値ホールド回路105がリセットされる直前にデータホールド回路106に受け渡される。

【0041】データホールド回路106に保持された値は、第5の比較器104に出力される。第5の比較器104は、データホールド回路106より入力した値と次に第3の比較器102より入力した値とを比較し、その差が $\pm\alpha$ 以内であれば、データホールド回路106に保持された値(クロック数)がシンクパターン長に相当するものとしてシンクパターン検出パルスを出力する。ここで、 $\pm\alpha$ の幅をもたせているのは、クロック周波数やEFM信号の時間軸の変動等、再生速度の変化によって生じる誤差を吸収するためである。

【0042】ところで、ディスクに傷があるような場合、EFM信号が停止つまりEFM信号の信号レベルが長期に亘って固定されてしまうことがある。このような場合、シンクパターンを正しく検出できなくなり、加算回路にシンクパターンの発生周波に応じた正しい電圧を与えることができなくなる。

【0043】そこで、本実施例は、各カウンタ94、96、98、100のカウント値が一定値を越えた時、各カウンタからオーバーフロー信号を出力できるようにし、AND回路108にて全てのカウンタ94、96、98、100がオーバーフロー状態になったことが検出された時、出力ホールド回路109にディフェクト検出信号を出力するように構成されている。

【0044】この出力ホールド回路109は、例えば、図1および図8に示した各実施例のPLL回路において、ループフィルタ18、79と加算回路15、75との間に介挿され、ディフェクト検出信号を入力した時、ループフィルタ18、79を通じてF-V変換回路1

11

7、77より直前に入力した電圧を保持して、加算回路15、75に不当な電圧が入力されないように機能する。

【0045】同様に、この出力ホールド回路109は、図5および図8に示した各実施例のPLL回路において、F-V変換回路47、77と差動回路48、78との間に介挿され、ディフェクト検出信号を入力した時、F-V変換回路47、77より直前に入力した電圧を保持して、差動回路48、78に不当な電圧が入力されないように機能する。

【0046】なお、AND回路108には、4つのカウンタ94、96、98、100からのディフェクト検出信号(Hレベル)の他、ディスクモータの停止時および停止状態からディスクモータをディスク再生可能な速度まで加速する間以外はHレベルになる信号Sが入力されている。

【0047】この構成によって、ディスクに傷があるような場合でも、VCO回路の正常な動作を維持することが可能になり、信頼性の向上を図ることができる。

【0048】

【発明の効果】第1の発明によれば、EFM信号から検出した同期パターンの周期に応じて電圧制御発振手段の発振周波数を広い範囲で可変することができる。したがって、トラックサーチ直後のようにディスク回転数が規定の再生線速度に収束していない期間においても最適なデータ読取用クロックを生成することが可能となり、ディスクモータの性能に拘らずトラックサーチ直後のディスク再生を短時間で行うことができる。

【0049】また、第2の発明によれば、電圧制御発振手段の発振周波数と再生速度とのずれを補正するように電圧制御発振手段の発振周波数を制御することができ、再生速度に応じた最適な発振周波数をデータ読取用クロックとして生成することができる。したがって、第1の発明と同様、トラックサーチ直後のようにディスク回転数が規定の再生線速度に収束していない期間においても最適なデータ読取用クロックを生成することが可能となり、ディスクモータの性能に拘らずトラックサーチ直後のディスク再生を短時間で良好に行うことができる。

【0050】さらに第3の発明によれば、EFM信号から検出した同期パターンの周期に応じて電圧制御発振手

10

段の発振周波数を広い範囲で可変すると共に、電圧制御発振手段の発振周波数と再生速度とのずれを補正するので、そのいずれか一方で制御する場合に比べ、より正確に、再生速度に対して発振周波数を合せることができる。

【図面の簡単な説明】

【図1】本発明に係る一実施例の光ディスク再生装置において、データ読取用クロックを生成するPLL回路の構成を示すブロック図

【図2】図1のPLL回路におけるF-V変換回路の構成を示すブロック図

【図3】図2のF-V変換回路の動作を説明するための図

【図4】図1のPLL回路におけるVCO回路の発振周波数の変動範囲を示す図

【図5】本発明の他の実施例のPLL回路の構成を示すブロック図

【図6】図5のPLL回路における差動回路の構成を示す図

20 【図7】図6の差動回路への入力例を示す図

【図8】本発明のさらに他の実施例のPLL回路の構成を示すブロック図

【図9】各実施例のPLL回路で用いられるシンクパターン検出回路の構成を示すブロック図

【図10】従来のPLL回路の構成を示すブロック図

【図11】従来のPLL回路における発振周波数の変動範囲を示す図

【符号の説明】

11、41、71……位相比較器

12、42、72……VCO回路

13、43、73……1/2分周器

15、45、75……加算回路

16、46、76……シンクパターン検出回路

17、47、50、77、81……F-V変換回路

48、78……差動回路

49、80……1/588分周器

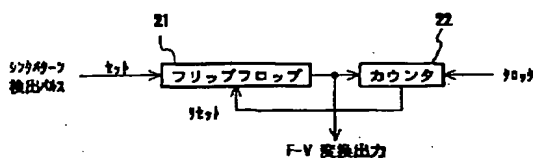
94、96、98、100……カウンタ

108……AND回路

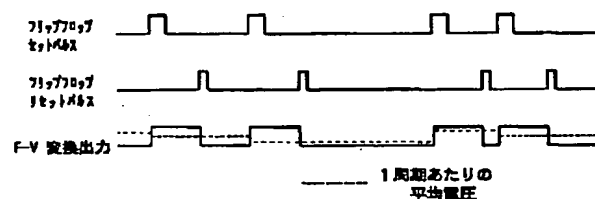
109……出力ホールド回路

40

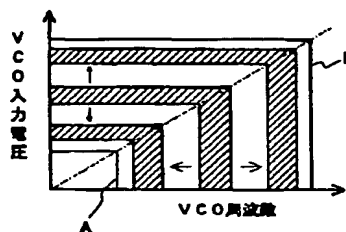
【図2】



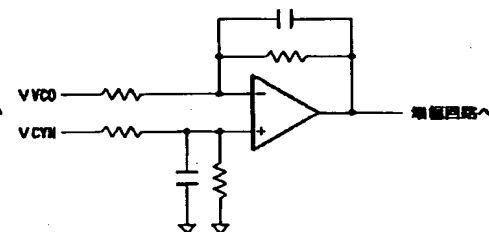
【図3】



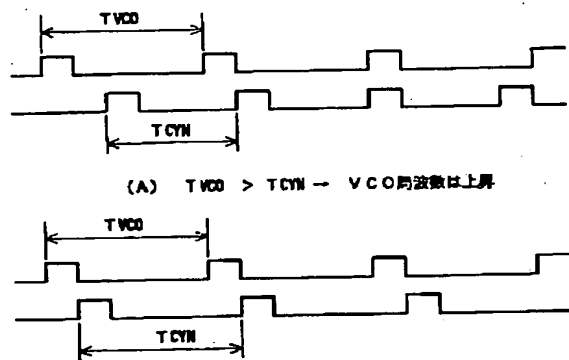
【图 4】



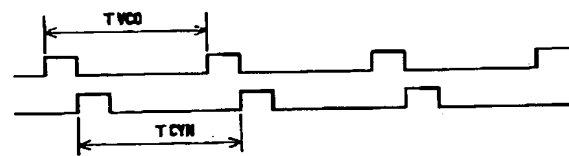
【图 6】



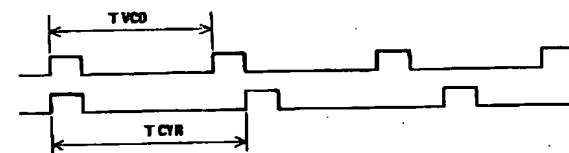
【图 7】



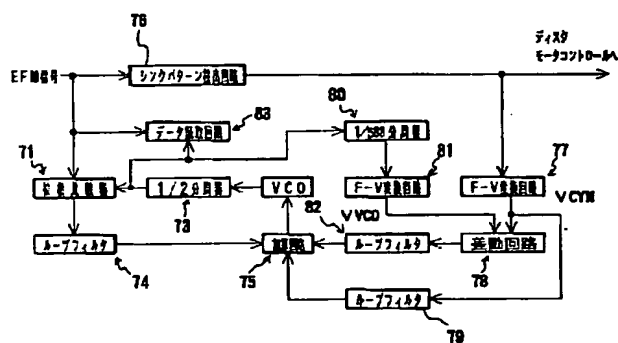
(A) $T_{VCO} > T_{CYN} \rightarrow VCO$ 同波数は上昇



(B) $T_{VCO} = T_{CTN} \rightarrow VCO$ 周波数は変化なし



(c) $T_{VCO} < T_{CM} \rightarrow VCO$ 周波数は下降



【图 10】

